

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-072352
 (43)Date of publication of application : 14.04.1986

(51)Int.Cl. G06F 15/06
 G06F 9/46
 G06F 15/16

(21)Application number : 59-195042 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

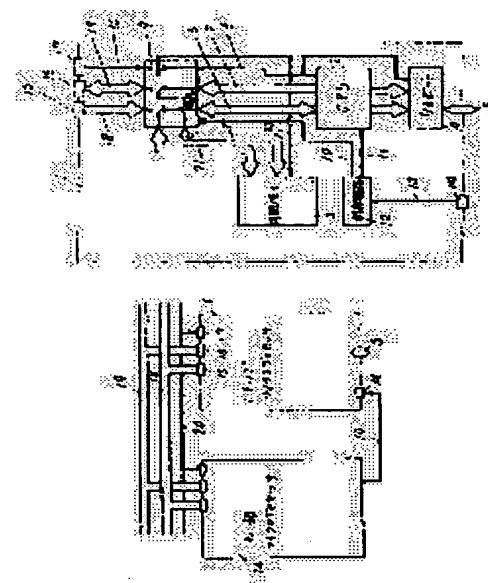
(22)Date of filing : 18.09.1984 (72)Inventor : MATSUYAMA MASAKAZU

(54) 1-CHIP MICROPROCESSOR

(57)Abstract:

PURPOSE: To attain the transfer of data at a high speed between an external microprocessor and a 1-chip microprocessor, by using a control circuit which delivers a memory access changeover signal and a signal that stops the internal actions.

CONSTITUTION: An external microprocessor 24 outputs a selection signal 13 at an optional time point, and a control circuit 12 in a 1-chip microprocessor 1 delivers a wait signal 11 and a memory access switch signal 10. A CPU2 is put under a waiting state for execution of instruction by the signal 11. A selection circuit 9 works with the signal 10, and the external control signals of an external address bus 18, an external data bus 19 and a line 20 are connected to an internal memory 3. Then the processor 24 switches the external control signal to the read-out direction to read the result of processing out of the memory 3 of the processor 1 via the buses 18 and 19.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A) 昭61-72352

⑬ Int.Cl.⁴
G 06 F 15/06
9/46
15/16

識別記号
厅内整理番号
7343-5B
P-8120-5B
J-6619-5B

⑭ 公開 昭和61年(1986)4月14日
審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 1 チップマイクロプロセッサ

⑯ 特願 昭59-195042
⑰ 出願 昭59(1984)9月18日

⑱ 発明者 松山 雅一 門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出願人 松下電器産業株式会社 門真市大字門真1006番地
⑳ 代理人 弁理士 中尾 敏男 外1名

明細書

1. 発明の名称

1 チップマイクロプロセッサ

2. 特許請求の範囲

内部メモリと、外部から前記内部メモリをアクセスすることを示す信号が入力されている間、メモリアクセス切換え信号を出力するとともに内部動作を停止させる信号を出力する制御回路と、前記メモリアクセス切換え信号により前記内部メモリと接続していた内部アドレスバスと内部データバスと内部からの読出し書き込みを指定する内部コントロール信号を、外部アドレスバスと外部データバスと外部からの読出し書き込みを指定する外部コントロール信号に切換える選択回路を設けたことを特徴とする1チップマイクロプロセッサ。

3. 発明の詳細な説明

産業上の利用分野

本発明は、さまざまな分野で用いられる1チップマイクロプロセッサに関するものである。

従来例の構成とその問題点

近年、1チップマイクロプロセッサの産業界への進出は目ざましいものがあり、さまざまな分野で用いられるようになった。また処理の複雑化に伴ない複数のマイクロプロセッサを用いて処理を分担させる必要が生じてきた。

以下、図面を参照しながら従来の1チップマイクロプロセッサを用いた処理について説明を行う。第1図は従来の1チップマイクロプロセッサのブロックを示すものである。第1図において、1は1チップマイクロプロセッサ、2は演算処理を行うCPU、3はプログラムとデータを格納する内部メモリ、4は1チップマイクロプロセッサ1と外部装置とのあいだでデータのやりとりを行うI/Oポート、5はI/Oポート4と外部装置を接続する外部I/O端子である。6はCPU2と内部メモリ3とI/Oポート4にアドレス信号を与える内部アドレスバス、7はCPU2と内部メモリ3とI/Oポート4との間でデータのやりとりを行う内部データバス、8はデータの読出し書き込みを指定する内部コントロール信号の加わるラ

インである。

以上のように構成された1チップマイクロプロセッサと他のマイクロプロセッサを接続し、処理を分担させる場合について以下にその動作を説明する。

1チップマイクロプロセッサ1で処理したデータを外部に設けたマイクロプロセッサで用いる場合、また外部に設けたマイクロプロセッサで処理したデータを1チップマイクロプロセッサ1で用いる場合、そのデータのやりとりにはI/Oポート4より外部のプロセッサにデータを出力し、また、I/Oポート4に外部のプロセッサからデータを入力することによる。

しかし前記のような方法では、データのやりとりにI/Oポートを介し、その処理速度はCPU2に依存するため高速でのデータのやりとりが困難であり。またI/Oポート4が1チップマイクロプロセッサ1と外部に設けたマイクロプロセッサのデータのやりとりに占有されるため、他の目的に使用できないという欠点を有していた。

る選択回路から構成されている。

この構成によって、外部に設けたマイクロプロセッサから前記1チップマイクロプロセッサの内部メモリをアクセスすることを示す信号が入力されているあいだ、前記制御回路から前記1チップマイクロプロセッサの内部動作を停止させる信号とメモリアクセス切換え信号が出力される。前記の内部動作を停止させる信号により前記1チップマイクロプロセッサは処理を中断する。また前記メモリアクセス切換え信号により、前記の内部メモリと接続していた前記内部アドレスバスと前記内部データバスと前記内部コントロール信号を、前記外部アドレスバスと前記外部データバスと前記外部コントロール信号との接続に切換える。これにより前記の外部に設けたマイクロプロセッサは、前記外部アドレスバスと前記外部データバスと前記外部コントロール信号を用いて、前記1チップマイクロプロセッサの内部メモリを直接アクセスできることになる。

実施例の説明

発明の目的

本発明は、前記欠点に鑑み、1チップマイクロプロセッサの内部メモリを、外部に設けたマイクロプロセッサから直接アクセスすることにより、外部に設けたマイクロプロセッサと1チップマイクロプロセッサとのあいだで高速のデータのやりとりを可能とした1チップマイクロプロセッサを供給するものである。

発明の構成

この目的を達成するために、本発明の1チップマイクロプロセッサは、内部メモリと、外部から前記内部メモリをアクセスすることを示す信号が入力されている間、メモリアクセス切換え信号を出力するとともに内部動作を停止させる信号を出力する制御回路と、前記メモリアクセス切換え信号により前記内部メモリと接続していた内部アドレスバスと内部データバスと内部からの読出し書き込みを指定する内部コントロール信号を、外部アドレスバスと外部データバスと外部からの読出し書き込みを指定する外部コントロール信号に切換え

以下本発明の一実施例について、図面を参照しながら説明する。

第2図は本発明の実施例における1チップマイクロプロセッサの構成を示すものである。

第2図において1は1チップマイクロプロセッサ、2はCPU、3は内部メモリ、4はI/Oポート、5は外部I/O端子、6は内部アドレスバス、7は内部データバス、8は内部コントロール信号の加わるラインであり、これらは第1図の構成のものと同じである。

9はメモリアクセス切換え信号により内部メモリ3のアドレスバスとデータバスとコントロール信号を、内部アドレスバス6と内部データバス7とライン8、または外部アドレスバス10と外部データバス19と外部コントロール信号の加わるライン20のどちらか一方と接続する選択回路であり、10は選択回路9を切換えるメモリアクセス切換え信号の加わるライン、11はCPU2に對してウェイト状態を要求するウェイト信号の加わるライン、12はメモリアクセス切換え信号と

ウェイト信号を発生する制御回路である。13は制御回路12にメモリアクセス切換え信号とウェイト信号の発生を要求する選択信号、14は選択信号13を入力する選択信号入力端子、15は外部アドレスバス端子、16は外部データバス端子、17は外部コントロール信号入力端子である。

15, 16, 17はそれぞれ外部アドレスバス、外部データバス、外部コントロール信号の加わるラインと接続される。また18は外部アドレスバス、19は外部データバス、20は外部コントロール信号の加わるラインである。また21はアドレスバス、22はデータバス、23はコントロール信号の加わるライン、21, 22, 23は内部メモリ3に接続される。

以上のように構成された1チップマイクロプロセッサにおいて、第3図に示すように外部マイクロプロセッサと接続を行う。第3図において、1は本発明の1チップマイクロプロセッサであり、5は外部I/O端子、14は選択信号入力端子、15は外部アドレスバス端子、16は外部データ

セッサについて以下にその動作を説明する。

まず1チップマイクロプロセッサ1は、内部メモリ3に格納されているプログラムにしたがって処理を行う。この処理の結果は、内部メモリ3に格納するようにプログラムしておく。一方外部マイクロプロセッサ24は任意の時間に選択信号13を出力し、1チップマイクロプロセッサ1に對して内部メモリ3をアクセスすることを要求する。この選択信号13により、1チップマイクロプロセッサ1の内部にある制御回路12からウェイト信号11とメモリアクセス切換え信号10が出力される。ウェイト信号11により、CPU2は命令実行待ち状態になる。一方メモリアクセス切換え信号10により選択回路9がはたらき、内部メモリ3と接続していた内部アドレスバス6と内部データバスアと内部コントロール信号8を切断し、外部アドレスバス18と外部データバス19とライン20の外部コントロール信号を内部メモリ3と接続する。次に外部マイクロプロセッサ24は、ライン20の外部コントロール信号20を送出し

バス端子、17は外部コントロール信号入力端子であり、これらは第2図で示したものと同じである。

また24は1チップマイクロプロセッサ1の外部に設けた外部マイクロプロセッサであり、18は1チップマイクロプロセッサ1と外部マイクロプロセッサ24のアドレス信号を接続する外部アドレスバス、19は1チップマイクロプロセッサ1と外部マイクロプロセッサ24のデータ信号を接続する外部データバス、20は1チップマイクロプロセッサ1と外部マイクロプロセッサ24のコントロール信号を接続する外部コントロール信号である。また13は外部マイクロプロセッサ24から出力され、1チップマイクロプロセッサ1に入力する選択信号であり、この信号が出力されている間、1チップマイクロプロセッサ1の内部メモリ3は、1チップマイクロプロセッサ1の外部すなわち外部マイクロプロセッサ24よりアクセスすることができる。

以上のように構成された1チップマイクロプロ

方向に切換えて外部アドレスバス18および外部データバス19を介して、1チップマイクロプロセッサ1の内部メモリ3に格納された処理の結果を読み出す。この読み出しが完了した後、外部マイクロプロセッサ24はライン13の選択信号をオフすることにより、制御回路12より出力されているメモリアクセス切換え信号がオフし、これにより選択回路9が切り換わり内部メモリ3と接続していた外部アドレスバス18と外部データバス19と外部コントロール信号20を切断し、内部アドレスバス6と内部データバスアとライン8の内部コントロール信号を内部メモリ3と接続する。一方制御回路12より出力しているライン11のウェイト信号も、ライン10メモリアクセス切換え信号と同様にオフすることにより、CPU2はウェイト状態が解除され、実行を再開する。

また別の動作例として、1チップマイクロプロセッサ1の内部メモリ3に格納されているプログラムを、内部メモリ3の中に設定したパラメータを参照して処理を行うようにプログラムしておけ

ば、外部マイクロプロセッサ24により、任意の時間に選択信号13を出力し1チップマイクロプロセッサ1の内部メモリ3にバラメータを設定する。このバラメータを随時変更することにより、柔軟なデータ処理が可能となる。

なお第3図は1個の1チップマイクロプロセッサと外部マイクロプロセッサを接続した例であるが複数個の1チップマイクロプロセッサを接続できることは言うまでもない。

また第3図において、外部マイクロプロセッサ24のかわりに、ダイレクトメモリアクセスコントローラ(DMAコントローラ)を使用してもよい。

発明の効果

以上のように本発明の1チップマイクロプロセッサは、内部メモリと、外部から前記内部メモリをアクセスすることを示す信号が入力されている間、メモリアクセス切換え信号を出力するとともに内部動作を停止させる信号を出力する制御回路と、前記メモリアクセス切換え信号により前記内

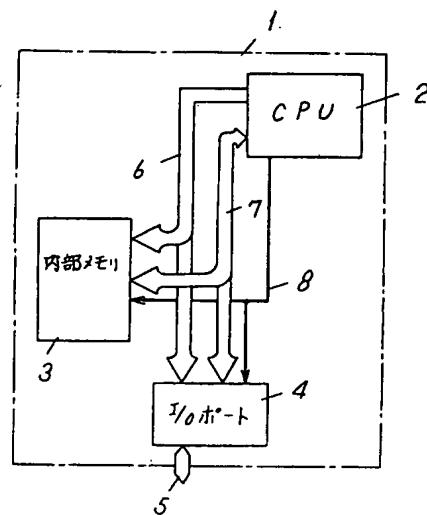
部メモリと接続していた内部アドレスバスと内部データバスと内部からの読み出し書き込みを指定する内部コントロール信号を、外部アドレスバスと外部データバスと外部からの読み出し書き込みを指定する外部コントロール信号に切換える選択回路を設けることにより、他のマイクロプロセッサと容易に接続することができ、1チップマイクロプロセッサの内部メモリをI/Oポートを介さずに直接アクセスできるため、外部と高速でのデータのやりとりを可能とし、これにより従来にくらべ高速で効率の良い処理を行うことができるため、その実用的效果は大なるものがある。

4. 図面の簡単な説明

第1図は従来のマイクロプロセッサのブロック図、第2図は本発明の一実施例による1チップマイクロプロセッサのブロック図、第3図は本発明の1チップマイクロプロセッサと、他のマイクロプロセッサを接続した具体的な利用例を示す図である。

1 ……1チップマイクロプロセッサ、2 ……

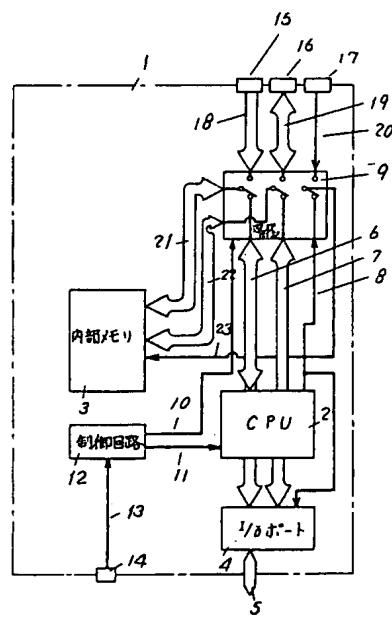
第1図



CPU、3……内部メモリ、4……I/Oポート、5……外部I/O端子、6……内部アドレスバス、7……内部データバス、8……内部コントロール信号、9……選択回路、10……メモリアクセス切換え信号、11……ウェイト信号、12……制御回路、13……選択信号、14……選択信号入力端子、15……外部アドレスバス端子、16……外部データバス端子、17……外部コントロール信号入力端子、18……外部アドレスバス、19……外部データバス、20……外部コントロール信号、21……アドレスバス、22……データバス、23……コントロール信号、24……外部マイクロプロセッサ。

代理人の氏名 弁理士 中尾敏男 ほか1名

第 2 図



第 3 図

